

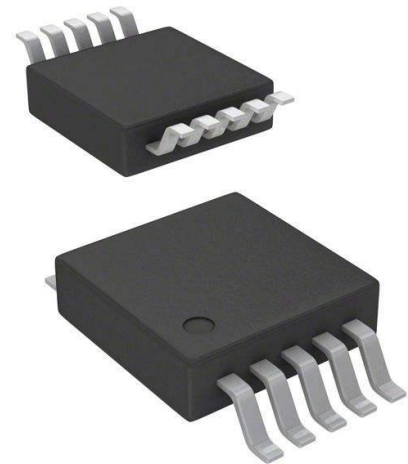
I²C 可编程任意频率 CMOS 时钟发生器

产品简述

MS5351M 是一款 I²C 可配置、3 通道输出的时钟发生器芯片，可完全替代在成本敏感的应用中使用的晶体、晶体振荡器、锁相环、输出缓冲器。得益于使用小数分频锁相环+高精度小数分频器结构，MS5351M 可产生从 2.5kHz 至 200MHz 的任意时钟输出。

主要特点

- 可 3 通道输出从 2.5kHz 至 200MHz 非整数相关时钟
- I²C 用户自定义配置输出时钟
- 精确的频率综合
- 低输出抖动
- 可工作在低成本、固定频率的石英晶体下：25MHz 或 27MHz
- 输出时钟支持静态的相位偏移
- 可编程控制输出时钟上升/下降时间
- 无毛刺的频率切换
- 相互独立的电源供电管脚
 - 内部核心电路电源 VDD：2.5V 或 3.3V
 - 输出级电源 VDDO：1.8V 或 2.5V 或 3.3V
- 内部高电源抑制比可省去外部滤波电容
- 输出延时可调
- 兼容 HCSL 和 PCIE Gen 1



MSOP10封装

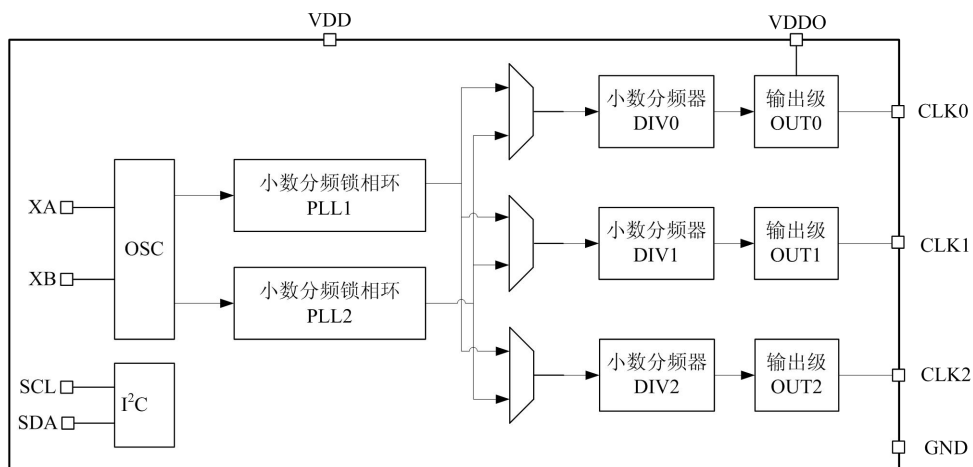
应用

- 高清电视，DVD/Blu-ray，机顶盒
- 音/视频设备，游戏机
- 打印机，扫描仪，投影仪
- 手持设备
- 家用网关设备
- 网络/通信
- 服务器，存储器
- 石英晶体/晶振/锁相环替代者

产品规格分类

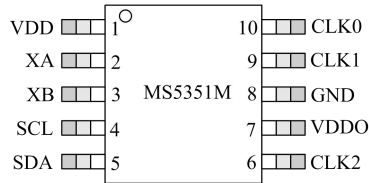
产品	封装形式	丝印名称
MS5351M	MSOP10	MS5351M

内部框图



管脚排列图

MS5351M 采用 MSOP10 封装，管脚排列如下：



管脚描述

管脚编号	管脚名称	管脚属性	管脚描述
1	VDD	电源	内部核心电路电源
2	XA	输入	外部石英晶体输入
3	XB	输入	外部石英晶体输入
4	SCL	输入	I ² C 时钟输入，须连接至少 1kΩ 上拉电阻
5	SDA	输入/输出	I ² C 数据输入/输出，须连接至少 1kΩ 上拉电阻
6	CLK2	输出	输出时钟
7	VDDO	电源	输出级电源
8	GND	地	参考地
9	CLK1	输出	输出时钟
10	CLK0	输出	输出时钟

极限参数

绝对最大额定值

注意：实际应用中不允许超过额定值的范围*1

参 数	符 号	条 件	额 定 值	单 位
直流供电电压	VDD		-0.5 到 3.8	V
输出级供电电压	VDDO		-0.5 到 3.8	V
输入电压	V _{IN_SCL}	SCL,SDA 管脚	-0.5 到 3.8	V
	V _{IN_XA/XB}	XA,XB 管脚	-0.5 到 1.3	V
结温度	T _J		-55 到 150	°C
电烙铁温度（无铅）*2	T _{PEAK}		260	°C
电烙铁温度处于 T _{PEAK} 时持续时间（无铅）*2	T _P		10	秒

*1 超过绝对额定最大值可能会造成芯片永久损坏

*2 芯片满足 JEDEC J-STD-020 规范

推荐工作条件

参数	符号	最小	标准	最大	单位
工作温度	T _A	-40	25	105	°C
核心电路电压	VDD	3.0	3.3	3.6	V
		2.25	2.5	2.75	V
输出级电压	VDDO	1.71	1.8	1.89	V
		2.25	2.5	2.75	V
		3.0	3.3	3.6	V

电气参数

 (除非另外说明, $V_{DD}=V_{DDO}=3.3V\pm 10\%$, $V_A=-40^{\circ}C\sim 105^{\circ}C$)

参数	符号	测试条件	最小值	典型值	最大值	单位
DC 特性						
VDD 电流	I_{DD}	3 通道输出,		33		mA
单通道输出级 电流	I_{DDOX}	$C_L=5pF$, 小于 100MHz 最大驱动能力		5		mA
输入电流	I_{SCL}	SCL, SDA			10	uA
输出阻抗	Z_O	3.3V VDDO, 高驱动		50		Ω
AC 特性						
上电时间	T_{RDY}	从 VDDmin 到有效输出时 钟, $f_{CLKn}>1MHz$		2	10	ms
PLL 旁路时上电 时间	T_{BYP}	从 VDDmin 到有效输出时 钟, $f_{CLKn}>1MHz$		0.5	1	ms
输出频率切换 时间	T_{FREQ}	$f_{CLKn}>1MHz$			20	us
输出相位偏移	P_{STEP}			333		ps/step
扩频范围	SS_{DEV}	下扩频, 每步 0.1%	-0.1		-2.5	%
		中心扩频, 每步 0.1%	± 0.1		± 2.5	%
扩频调制率	SS_{MOD}		30	31.5	33	kHz
晶振规范						
石英晶体频率	f_{XTAL}		25		27	MHz
负载电容	C_{XL}		6		12	pF
等效串联电阻	r_{ESR}				150	Ω
最大驱动等级	d_L		100			uW
输入电压	$V_{IN_XA/AB}$	XA 和 XB 管脚	-0.3		1.1	V
输出时钟规范						
输出频率*1	F_{CLK}		0.0025		200	MHz
负载电容	C_L				15	pF
占空比	DC	$F_{CLK}<160MHz$	45	50	55	%
		$F_{CLK}<160MHz$	40	50	60	%
上升时间	t_r	20%~80%, $C_L=5pF$ 最大驱 动		0.5	1.2	ns
下降时间	t_f	20%~80%, $C_L=5pF$ 最大驱 动		0.5	1.2	ns
输出高电平	V_{OH}	$C_L=5pF$	VDD-0.6			
输出低电平	V_{OL}	$C_L=5pF$			0.6	
周期抖动	$J_{PER}^{*2,3}$	3 通道同时输出		60	180	ps,pk
相邻时钟抖动	$J_{CC}^{*2,3}$	3 通道同时输出		60	180	ps,pk

I ² C 规范 (SCL, SDA)							
参数	符号	测试条件	标准模式 100kbps		快速模式 400kbps		单位
			最小	最大	最小	最大	
低电平输入电压	V _{LI2C}		-0.5	0.3*V _{DDI2C}	-0.5	0.3*V _{DDI2C}	V
高电平输入电压	V _{HI2C}		0.7*V _{DDI2C}	3.6	0.7*V _{DDI2C}	3.6	V
施密特迟滞电压	V _{HYS}		-	-	0.1	-	V
低电平输出电压 ^{*4}	V _{OI2C}	V _{OI2C} =2.5/3.3V, 漏极开路, 3mA 电流沉	0	0.4	0	0.4	V
输入电流	I _{I2C}		-10	10	-10	10	uA
管脚电容	C _{I2C}	V _{IN} =-0.1 到 V _{DDI2C}	-	4	-	4	pF
I ² C 总线暂停时间	T _{TO}	暂停使能	25	35	25	35	ms

- *1. 大于 112.5MHz 的时钟只允许同时输出 2 个
- *2. 时钟抖动测试 10000 周期, 且在最大输出驱动能力时测得
- *3. 抖动高度依赖于频率配置
- *4. I²C 仅支持 2.25V 到 3.6V 供电

寄存器

1.1 寄存器总结表

寄存器	D7	D6	D5	D4	D3	D2	D1	D0
0	SYS_INIT	LOL_2	LOL_1	Reserved				
1	0	0	0	0	0	0	0	0
2	0	0	0	0	0	0	0	0
3	Reserved					OUT2_EN	OUT1_EN	OUT0_EN
4-8	Reserved							
9	0	0	0	0	0	0	0	0
10-14	Reserved							
15	0	0	0	0	0	0	0	0
16	DIV0_PDN	DIV0_INT	DIV0_SRC	OUT0_INV	OUT0_SRC[1:0]		OUT0_IDRV[1:0]	
17	DIV1_PDN	DIV1_INT	DIV1_SRC	OUT1_INV	OUT1_SRC[1:0]		OUT1_IDRV[1:0]	
18	DIV2_PDN	DIV2_INT	DIV2_SRC	OUT2_INV	OUT2_SRC[1:0]		OUT2_IDRV[1:0]	
19-23	Reserved							
24	OUT2_DIS_STATE			OUT1_DIS_STATE		OUT0_DIS_STATE		
25	Reserved							
26	PLL1_P3[15:8]							
27	PLL1_P3[7:0]							
28	Unused				Reserved		PLL1_P1[17:16]	
29	PLL1_P1[15:8]							
30	PLL1_P1[7:0]							
31	PLL1_P3[19:16]				PLL1_P2[19:16]			
32	PLL1_P2[15:8]							
33	PLL1_P2[7:0]							
34	PLL2_P3[15:8]							
35	PLL2_P3[7:0]							
36	Unused				Reserved		PLL2_P1[17:16]	
37	PLL2_P1[15:8]							
38	PLL2_P1[7:0]							
39	PLL2_P3[19:16]				PLL2_P2[19:16]			
40	PLL2_P2[15:8]							
41	PLL2_P2[7:0]							
42	DIV0_P3[15:8]							
43	DIV0_P3[7:0]							
44	Reserved	OUT0_DIV[2:0]			DIV0_DIVBY4[1:0]		DIV0_P1[17:16]	
45	DIV0_P1[15:8]							
46	DIV0_P1[7:0]							
47	DIV0_P3[19:16]				DIV0_P2[19:16]			
48	DIV0_P2[15:8]							

49	DIV0_P2[7:0]			
50	DIV1_P3[15:8]			
51	DIV1_P3[7:0]			
52	Reserved	OUT1_DIV[2:0]	DIV1_DIVBY4[1:0]	DIV1_P1[17:16]
53	DIV1_P1[15:8]			
54	DIV1_P1[7:0]			
55	DIV1_P3[19:16]		DIV1_P2[19:16]	
56	DIV1_P2[15:8]			
57	DIV1_P2[7:0]			
58	DIV2_P3[15:8]			
59	DIV2_P3[7:0]			
60	Reserved	OUT2_DIV[2:0]	DIV2_DIVBY4[1:0]	DIV2_P1[17:16]
61	DIV2_P1[15:8]			
62	DIV2_P1[7:0]			
63	DIV2_P3[19:16]		DIV2_P2[19:16]	
64	DIV2_P2[15:8]			
65	DIV2_P2[7:0]			
66-92	Reserved			
149	SSC_EN	SSDN_P2[14:8]		
150	SSDN_P2[7:0]			
151	SSC_MODE	SSDN_P3[14:8]		
152	SSDN_P3[7:0]			
153	SSDN_P1[7:0]			
154	SSUDP[11:8]		SSDN_P1[11:8]	
155	SSUDP [7:0]			
156	SSUP_P2[14:8]			
157	SSUP_P2[7:0]			
158	SSUP_P3[14:8]			
159	SSUP_P3 [7:0]			
160	SSUP_P1 [7:0]			
161	SS_NOUT[3:0]		SSUP_P1[11:8]	
162	Reserved			
163	Reserved			
164	Reserved			
165	Reserved	OUT0_PHOFF[6:0]		
166	Reserved	OUT1_PHOFF[6:0]		
167	Reserved	OUT2_PHOFF[6:0]		
168	Reserved			
169	Reserved			
170	Reserved			

171-176	Reserved				
177	PLL2_RST	Reserved	PLL1_RST	Reserved	
178-182	Reserved				
183	XTAL_CL		Reserved		
184-186	Reserved				
187	Reserved	XO_FAN-OUT_EN	Reserved	MS_FAN-OUT_EN	Reserved
188-255	Reserved				

1.2 寄存器详细描述

寄存器 0. 芯片状态

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	SYS_INIT	LOL_2	LOL_1					
类型	只读							

位	名称	功能
7	SYS_INIT	初始化完成前设备不能工作，不建议在初始化完成前通过 I ² C 对寄存器进行读写 0: 系统初始化已完成 1: 设备在系统初始化模式
6	LOL_2	当 PLL 的参考时钟超过它允许的输入范围，将会发生失锁 0: PLL2 锁定 1: PLL2 失锁
5	LOL_1	当 PLL 的参考时钟超过它允许的输入范围，将会发生失锁 0: PLL1 锁定 1: PLL1 失锁
4:0	Reserved	保留

寄存器 3. 输出级使能控制

位	D7	D6	D5	D4	D3	D2	D1	D0
名称						OUT2_EN	OUT1_EN	OUT0_EN
类型	读/写							

位	名称	功能
7:3	Reserved	保留
2:0	OUT _n _EN (n=0,1,2)	n=0,1,2 0: OUT _n (n=0,1,2)输出使能 1: OUT _n (n=0,1,2)禁止输出

寄存器 16. OUT0 控制

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV0_PDN	DIV0_INT	DIV0_SRC	OUT0_INV	OUT0_SRC[1:0]		OUT0_IDRV[1:0]	
类型	读/写							

位	名称	功能
7	DIV0_PDN	控制 DIV0 的打开或关闭 0: DIV0 输出打开 1: DIV0 输出关闭
6	DIV0_INT	这一位可以控制 DIV0 分频模式 0: DIV0 工作在小数模式 1: DIV0 工作在整数模式
5	DIV0_SRC	选择 DIV0 的输入 0: 选择 PLL1 作为 DIV0 的输入 1: 选择 PLL2 作为 DIV0 的输入
4	OUT0_INV	控制输出时钟 CLK0 的是否取反 0: CLK0 不取反 1: CLK0 取反
3:2	OUT0_SRC[1:0]	这两位决定着 OUT0 的输入 00: 选择晶振作为 OUT0 的输入 01: 保留 10: 保留 11: 选择 DIV0 作为 OUT0 的输入
1:0	OUT0_IDRV[1:0]	OUT0 输出的驱动能力 00:3mA 01:6mA 10:9mA 11:12mA

寄存器 17. OUT1 控制

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV1_PDN	DIV1_INT	DIV1_SRC	OUT1_INV	OUT1_SRC[1:0]		OUT1_IDRV[1:0]	
类型	读/写							

位	名称	功能
7	DIV1_PDN	控制 DIV1 输出端的打开或关闭 0: DIV1 输出打开 1: DIV1 输出关闭
6	DIV1_INT	这一位可以控制 DIV1 分频模式 0: DIV1 工作在小数模式 1: DIV1 工作在整数模式
5	DIV1_SRC	选择 DIV1 的输入 0: 选择 PLL1 作为 DIV1 的输入 1: 选择 PLL2 作为 DIV1 的输入
4	OUT1_INV	控制输出时钟 CLK1 的是否取反 0: CLK1 不取反 1: CLK1 取反

3:2	OUT1_SRC[1:0]	这两位决定着 OUT1 的输入 00: 选择晶振作为 OUT1 的输入 01: 保留 10: 选择 DIV0 作为 OUT1 的输入 11: 选择 DIV1 作为 OUT1 的输入
1:0	OUT1_IDRV[1:0]	OUT1 输出的驱动能力 00:3mA 01:6mA 10:9mA 11:12mA

寄存器 18. OUT2 控制

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV2_PDN	DIV2_INT	DIV2_SRC	OUT2_INV	OUT2_SRC[1:0]		OUT2_IDRV[1:0]	
类型	读/写				读/写			

位	名称	功能
7	DIV2_PDN	控制 DIV2 打开或关闭 0: DIV2 打开 1: DIV2 关闭
6	DIV2_INT	这一位可以控制 DIV2 分频模式 0: DIV2 工作在小数模式 1: DIV2 工作在整数模式
5	DIV2_SRC	选择 DIV2 的输入 0: 选择 PLL1 作为 DIV2 的输入 1: 选择 PLL2 作为 DIV2 的输入
4	OUT2_INV	控制输出时钟 CLK2 的是否取反 0: CLK2 不取反 1: CLK2 取反
3:2	OUT2_SRC[1:0]	这两位决定着 OUT2 的输入 00: 选择晶振作为 OUT2 的输入 01: 保留 10: 选择 DIV0 作为 OUT2 的输入 11: 选择 DIV2 作为 OUT2 的输入
1:0	OUT2_IDRV[1:0]	OUT2 输出驱动能力 00:3mA 01:6mA 10:9mA 11:12mA

寄存器 24. OUT2~OUT0 不输出时状态

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved		OUT2_DIS_STATE		OUT1_DIS_STATE		OUT0_DIS_STATE	
类型	读/写							

位	名称	功能
7:6	Reserved	保留
5:0	OUTn_DIS_STATE (n=0,1,2)	n=0,1,2 两位决定着 OUTn(n=0,1,2)不输出时的状态 00: OUTn(n=0,1,2)不输出时为 0 01: OUTn(n=0,1,2)不输出时为 1 10: OUTn(n=0,1,2)不输出时为高阻 11: OUTn(n=0,1,2)允许输出

寄存器 26. PLL1 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	PLL1_P3[15:8]							
类型	读/写							

位	名称	功能
7:0	PLL1_P3[15:8]	PLL1 参数 P3, 它是 PLL1 内部小数分频的分母, 共 20 位。

寄存器 27. PLL1 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	PLL1_P3[7:0]							
类型	读/写							

位	名称	功能
7:0	PLL1_P3[7:0]	PLL1 参数 P3, 它是 PLL1 内部小数分频的分母, 共 20 位。

寄存器 28. PLL1 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Unused				Reserved		PLL1_P1[17:16]	
类型	读/写							

位	名称	功能
7:4	Unused	没用
3:2	Reserved	保留
1:0	PLL1_P1[17:16]	PLL1 参数 P1, 它是 PLL1 内部分频器整数分频部分, 共 18 位。

寄存器 29. PLL1 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	PLL1_P1[15:8]							
类型	读/写							

位	名称	功能
7:0	PLL1_P1[15:8]	PLL1 参数 P1, 它是 PLL1 内部分频器整数分频部分, 共 18 位。

寄存器 30. PLL1 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	PLL1_P1[7:0]							
类型	读/写							

位	名称	功能
7:0	PLL1_P1[7:0]	PLL1 参数 P1, 它是 PLL1 内部分频器整数分频部分, 共 18 位。

寄存器 31. PLL1 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	PLL1_P3[19:16]				PLL1_P2[19:16]			
类型	读/写							

位	名称	功能
7:4	PLL1_P3[19:16]	PLL1 参数 P3, 它是 PLL1 内部小数分频的分母, 共 20 位。
3:0	PLL1_P2[19:16]	PLL1 参数 P2, 它是 PLL1 内部小数分频的分子, 共 20 位。

寄存器 32. PLL1 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	PLL1_P2[15:8]							
类型	读/写							

位	名称	功能
7:0	PLL1_P2[15:8]	PLL1 参数 P2, 它是 PLL1 内部小数分频的分子, 共 20 位。

寄存器 33. PLL1 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	PLL1_P2[7:0]							
类型	读/写							

位	名称	功能
7:0	PLL1_P2[7:0]	PLL1 参数 P2, 它是 PLL1 内部小数分频的分子, 共 20 位。

寄存器 34. PLL2 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	PLL2_P3[15:8]							
类型	读/写							

位	名称	功能
7:0	PLL2_P3[15:8]	PLL2 参数 P3, 它是 PLL2 内部小数分频的分母, 共 20 位。

寄存器 35. PLL2 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	PLL2_P3[7:0]							
类型	读/写							

位	名称	功能
7:0	PLL2_P3[7:0]	PLL2 参数 P3, 它是 PLL2 内部小数分频的分母, 共 20 位。

寄存器 36. PLL2 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Unused			Reserved			PLL2_P1[17:16]	
类型	读/写							

位	名称	功能
7:4	Unused	没用
3:2	Reserved	保留
1:0	PLL2_P1[17:16]	PLL2 参数 P3, 它是 PLL2 内部分频器整数分频部分, 共 18 位。

寄存器 37. PLL2 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	PLL2_P1[15:8]							
类型	读/写							

位	名称	功能
7:0	PLL2_P1[15:8]	PLL2 参数 P1, 它是 PLL2 内部分频器整数分频部分, 共 18 位。

寄存器 38. PLL2 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	PLL2_P1[7:0]							
类型	读/写							

位	名称	功能
7:0	PLL2_P1[7:0]	PLL2 参数 P1, 它是 PLL2 内部分频器整数分频部分, 共 18 位。

寄存器 39. PLL2 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	PLL2_P3[19:16]				PLL2_P2[19:16]			
类型	读/写							

位	名称	功能
7:4	PLL2_P3[19:16]	PLL2 参数 P3, 它是 PLL2 内部小数分频的分母, 共 20 位。
3:0	PLL2_P2[19:16]	PLL2 参数 P2, 它是 PLL2 内部小数分频的分子, 共 20 位。

寄存器 40. PLL2 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	PLL2_P2[15:8]							
类型	读/写							
位	名称	功能						
7:0	PLL2_P2[15:8]	PLL2 参数 P2, 它是 PLL2 内部小数分频的分子, 共 20 位。						

寄存器 41. PLL2 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	PLL2_P2[7:0]							
类型	读/写							

位	名称	功能
7:0	PLL2_P2[7:0]	PLL2 参数 P2, 它是 PLL2 内部小数分频的分子, 共 20 位。

寄存器 42. DIV0 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV0_P3[7:0]							
类型	读/写							

位	名称	功能
7:0	DIV0_P3[15:8]	DIV0 参数 P3, 它是 DIV0 小数分频的分母, 共 20 位。

寄存器 43. DIV0 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV0_P3[7:0]							
类型	读/写							

位	名称	功能
7:0	DIV0_P3[7:0]	DIV0 参数 P3，它是 DIV0 小数分频的分母，共 20 位。

寄存器 44. DIV0 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称		OUT0_DIV[2:0]			DIV0_DIVBY4[1:0]		DIV0_P1[17:16]	
类型	读/写							

位	名称	功能
7	Reserved	保留
6:4	OUT0_DIV[2:0]	输出级分频比 000: 1 分频, 100: 16 分频 001: 2 分频, 101: 32 分频 010: 4 分频, 110: 64 分频 011: 8 分频, 111: 128 分频
3:2	DIV0_DIVBY4[1:0]	DIV0 4 分频使能 11: 4 分频有效; 00: 其他分频
1:0	DIV0_P1[17:16]	DIV0 参数 P1，它是分频器 DIV0 整数分频部分，共 18 位。

寄存器 45. DIV0 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV0_P1[15:8]							
类型	读/写							

位	名称	功能
7:0	DIV0_P1[15:8]	DIV0 参数 P1，它是分频器 DIV0 整数分频部分，共 18 位。

寄存器 46. DIV0 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV0_P1[7:0]							
类型	读/写							

位	名称	功能
7:0	DIV0_P1[7:0]	DIV0 参数 P1，它是分频器 DIV0 整数分频部分，共 18 位。

寄存器 47. DIV0 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV0_P3[19:16]				DIV0_P2[19:16]			
类型	读/写							

位	名称	功能
7:4	DIV0_P3[19:16]	DIV0 参数 P3, 它是 DIV0 小数分频的分母, 共 20 位。
3:0	DIV0_P2[19:16]	DIV0 参数 P2, 它是 DIV0 小数分频的分子, 共 20 位。

寄存器 48. DIV0 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV0_P2[15:8]							
类型	读/写							

位	名称	功能
7:0	DIV0_P2[15:8]	DIV0 参数 P2, 它是 DIV0 小数分频的分子, 共 20 位。

寄存器 49. DIV0 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV0_P2[7:0]							
类型	读/写							

位	名称	功能
7:0	DIV0_P2[7:0]	DIV0 参数 P2, 它是 DIV0 小数分频的分子, 共 20 位。

寄存器 50. DIV1 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV1_P3[15:8]							
类型	读/写							

位	名称	功能
7:0	DIV1_P3[15:8]	DIV1 参数 P3, 它是 DIV1 小数分频的分母, 共 20 位。

寄存器 51. DIV1 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV1_P3[7:0]							
类型	读/写							

位	名称	功能
7:0	DIV1_P3[7:0]	DIV1 参数 P3, 它是 DIV1 小数分频的分母, 共 20 位。

寄存器 52. DIV1 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved		OUT1_DIV[2:0]		DIV1_DIVBY4[1:0]		DIV1_P1[17:16]	
类型	读/写							

位	名称	功能
7:4	OUT1_DIV[2:0]	输出级分频比 000: 1 分频, 100: 16 分频 001: 2 分频, 101: 32 分频 010: 4 分频, 110: 64 分频 011: 8 分频, 111: 128 分频
3:2	DIV1_DIVBY4[1:0]	DIV1 4 分频使能 11: 4 分频有效 00: 其他分频
1:0	DIV1_P1[17:16]	DIV1 参数 P1, 它是分频器 DIV1 整数分频部分, 共 18 位。

寄存器 53. DIV1 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV1_P1[15:8]							
类型	读/写							

位	名称	功能
7:0	DIV1_P1[15:8]	DIV1 参数 P1, 它是分频器 DIV1 整数分频部分, 共 18 位。

寄存器 54. DIV1 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV1_P1[7:0]							
类型	读/写							

位	名称	功能
7:0	DIV1_P1[7:0]	DIV1 参数 P1, 它是分频器 DIV1 整数分频部分, 共 18 位。

寄存器 55. DIV1 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV1_P3[19:16]				DIV1_P2[19:16]			
类型	读/写							

位	名称	功能
7:4	DIV1_P3[19:16]	DIV1 参数 P3, 它是 DIV1 小数分频的分母, 共 20 位。
3:0	DIV1_P2[19:16]	DIV1 参数 P2, 它是 DIV1 小数分频的分子, 共 20 位。

寄存器 56. DIV1 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV1_P2[15:8]							
类型	读/写							

位	名称	功能
7:0	DIV1_P2[15:8]	DIV1 参数 P2, 它是 DIV1 小数分频的分子, 共 20 位。

寄存器 57. DIV1 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV1_P2[7:0]							
类型	读/写							

位	名称	功能
7:0	DIV1_P2[7:0]	DIV1 参数 P2, 它是 DIV1 小数分频的分子, 共 20 位。

寄存器 58. DIV2 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV2_P3[15:8]							
类型	读/写							

位	名称	功能
7:0	DIV2_P3[15:8]	DIV2 参数 P3, 它是 DIV2 小数分频的分母, 共 20 位。

寄存器 59. DIV2 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV2_P3[7:0]							
类型	读/写							

位	名称	功能
7:0	DIV2_P3[7:0]	DIV2 参数 P3, 它是 DIV2 小数分频的分母, 共 20 位。

寄存器 60. DIV2 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved	OUT2_DIV[2:0]			DIV2_DIVBY4[1:0]		DIV2_P1[17:16]	
类型	读/写							

位	名称	功能
7:4	OUT2_DIV[2:0]	输出级分频比 000: 1 分频, 100: 16 分频 001: 2 分频, 101: 32 分频 010: 4 分频, 110: 64 分频 011: 8 分频, 111: 128 分频
3:2	DIV2_DIVBY4[1:0]	DIV2 4 分频使能 11: 4 分频有效 00: 其他分频
1:0	DIV2_P1[17:16]	DIV2 参数 P1, 它是分频器 DIV2 整数分频部分, 共 18 位。

寄存器 61. DIV2 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV2_P1[15:8]							
类型	读/写							
位	名称	功能						
7:0	DIV2_P1[15:8]	DIV2 参数 P1, 它是分频器 DIV2 整数分频部分, 共 18 位。						

寄存器 62. DIV2 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV2_P1[7:0]							
类型	读/写							
位	名称	功能						
7:0	DIV2_P1[7:0]	DIV2 参数 P1, 它是分频器 DIV2 整数分频部分, 共 18 位。						

寄存器 63. DIV2 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV2_P3[19:16]				DIV2_P2[19:16]			
类型	读/写							
位	名称	功能						
7:4	DIV2_P3[19:16]	DIV2 参数 P3, 它是 DIV2 小数分频的分母, 共 20 位。						
3:0	DIV2_P2[19:16]	DIV2 参数 P2, 它是 DIV2 小数分频的分子, 共 20 位。						

寄存器 64. DIV2 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV2_P2[15:8]							
类型	读/写							

位	名称	功能
7:0	DIV2_P2[15:8]	DIV2 参数 P2，它是 DIV2 小数分频的分子，共 20 位。

寄存器 65. DIV2 参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	DIV2_P2[7:0]							
类型	读/写							

位	名称	功能
7:0	DIV2_P2[7:0]	DIV2 参数 P2，它是 DIV2 小数分频的分子，共 20 位。

寄存器 149.扩频参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	SSC_EN	SSDN_P2[14:8]						
类型	读/写							
位	名称	功能						
7	SSC_EN	1: 打开扩频 0: 关闭扩频						
6:0	SSDN_P2[14:8]	PLL1 向下扩频 参数 P2.						

寄存器 150.扩频参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	SSDN_P2[7:0]							
类型	读/写							

位	名称	功能
7:0	SSDN_P2[7:0]	PLL1 向下扩频 参数 P2.

寄存器 151.扩频参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	SSC_MODE	SSDN_P3[14:8]						
类型	读/写							

位	名称	功能
7	SSC_MODE	0: 向下扩频 1: 中心扩频
6:0	SSDN_P3[14:8]	PLL1 向下扩频 参数 P3.

寄存器 152.扩频参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	SSDN_P3[7:0]							
类型	读/写							

位	名称	功能
7:0	SSDN_P3[7:0]	PLL1 向下扩频 参数 P3.

寄存器 153.扩频参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	SSDN_P1[7:0]							
类型	读/写							

位	名称	功能
7:0	SSDN_P1[7:0]	PLL1 向下扩频 参数 P1.

寄存器 154.扩频参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	SSUDP[11:8]				SSDN_P1[11:8]			
类型	读/写							

位	名称	功能
7:4	SSUDP[11:8]	PLL1 向上/下扩频参数
3:0	SSDN_P1[11:8]	PLL1 向下扩频 参数 P1.

寄存器 155.扩频参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	SSUDP [7:0]							
类型	读/写							

位	名称	功能
7:0	SSUDP[7:0]	PLL1 向上/下扩频参数

寄存器 156.扩频参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	SSUP_P2[14:8]							
类型	读/写							

位	名称	功能
7	Unused	没用
6:0	SSUP_P2[14:8]	PLL1 向上扩频 参数 P2.

寄存器 157.扩频参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	SSUP_P2[7:0]							
类型	读/写							

位	名称	功能
7:0	SSUP_P2[7:0]	PLL1 向上扩频 参数 P2.

寄存器 158.扩频参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	SSUP_P3[14:8]							
类型	读/写							

位	名称	功能
7	Unused	没用
6:0	SSUP_P3[14:8]	PLL1 向上扩频 参数 P3.

寄存器 159.扩频参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	SSUP_P3 [7:0]							
类型	读/写							

位	名称	功能
7:0	SSUP_P3[7:0]	PLL1 向上扩频 参数 P3.

寄存器 160.扩频参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	SSUP_P1 [7:0]							
类型	读/写							

位	名称	功能
7:0	SSUP_P1[7:0]	PLL1 向上扩频 参数 P1.

寄存器 161.扩频参数

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	SS_NOUT[3:0]				SSUP_P1[11:8]			
类型	读/写							

位	名称	功能
7:4	SS_NOUT[3:0]	这四位必须设为 0000
6:0	SSUP_P1[11:8]	PLL1 向上扩频 参数 P1.

寄存器 165. OUT0 初始相位偏移

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	CLK0_PHOFF[6:0]							
类型	读/写							

位	名称	功能
7	Reserved	这一位必须设为 0
6:0	CLK0_PHOFF[6:0]	输出时钟 CLK0 初始相位偏移。CLK0_PHOFF[6:0]每增加 1，即 1LSB，相当于输出时钟初始相位增加四分之一 VCO 周期的延时

寄存器 166. OUT1 初始相位偏移

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	CLK1_PHOFF[6:0]							
类型	读/写							

位	名称	功能
7	Reserved	这一位必须设为 0
6:0	CLK1_PHOFF[6:0]	输出时钟 CLK1 初始相位偏移。CLK1_PHOFF[6:0]每增加 1，即 1LSB，相当于输出时钟初始相位增加四分之一 VCO 周期的延时

寄存器 167. OUT2 初始相位偏移

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	CLK2_PHOFF[6:0]							
类型	读/写							

位	名称	功能
7	Reserved	这一位必须设为 0
6:0	CLK2_PHOFF[6:0]	输出时钟 CLK2 初始相位偏移。CLK2_PHOFF[6:0]每增加 1，即 1LSB，相当于输出时钟初始相位增加四分之一 VCO 周期的延时

寄存器 177. PLL 复位

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	PLL2_RST	Reserved	PLL1_RST	Reserved				
类型	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写

位	名称	功能
7	PLL2_RST	这一位写成 1 将会使 PLL2 复位，这是一个自身的清除位
6	Reserved	保留
5	PLL1_RST	这一位写成 1 将会使 PLL1 复位，这是一个自身清除位
4:0	Reserved	保留

寄存器 183. 内部晶振负载电容

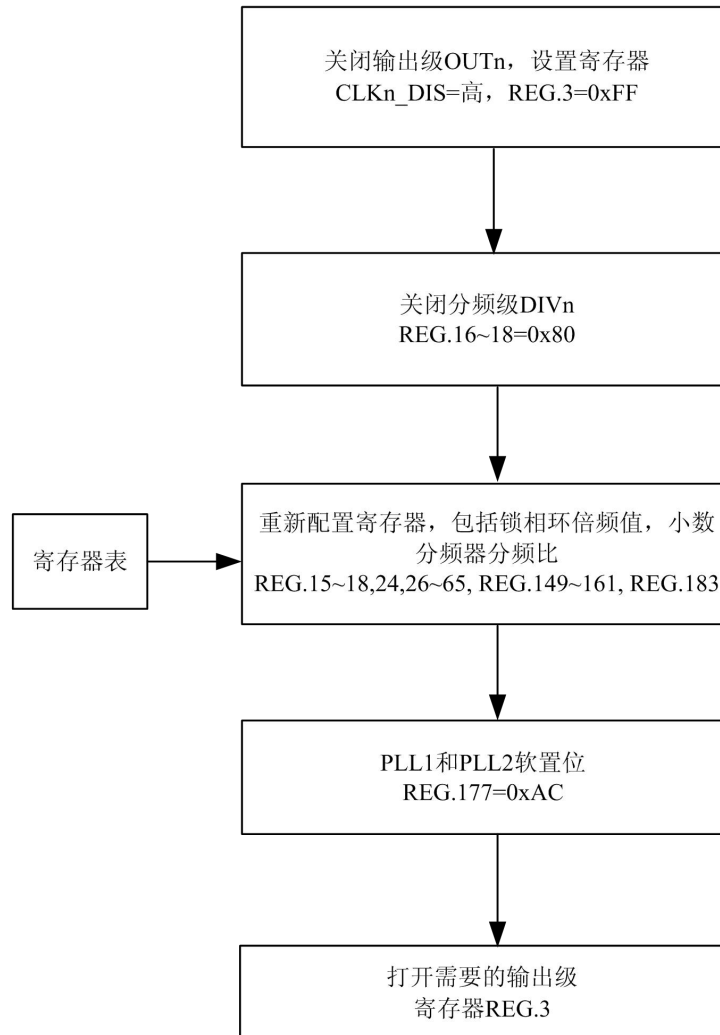
位	D7	D6	D5	D4	D3	D2	D1	D0
名称	XTAL_CL		Reserved					
类型	读/写							
位	名称		功能					
7:6	XTAL_CL		这两位决定着晶振内部负载电容的值 00: 保留值 (不用) 01: CL=6pF 10: CL=8pF 11: CL=10pF(常用)					
5:0	Reserved		这 6 位必须写成 010010b					

寄存器 187. 输出通道控制

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved	XO_FANOUT_ EN	Reserved	MS_FANOUT_ EN	Reserved			
类型	读/写							

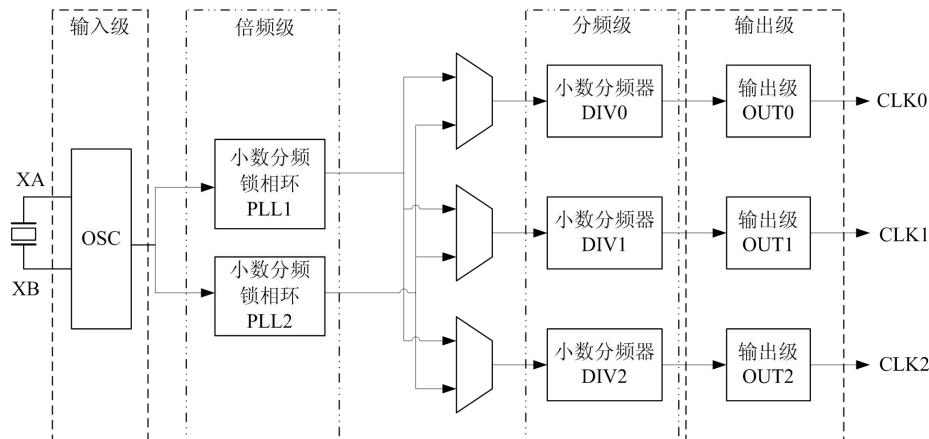
位	名称	功能
7	Reserved	保留
6	XO_FANOUT_EN	XO 直接从输出级输出, 使能 1 有效
5	Reserved	保留
4	MS_FANOUT_EN	OUT1 和 OUT2 可以选择 OUT0 作为输入, 使能 1 有效
3:0	Reserved	保留

MS5351M 是一款灵活又可配置的时钟发生器。为使芯片输出正确时钟，推荐使用下面的流程配置相关寄存器。



功能描述

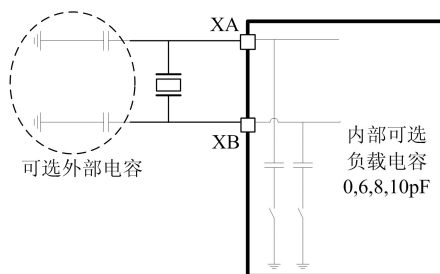
MS5351M 是一款 I²C 可配置时钟发生器芯片，可完全替代晶体、晶体振荡器、锁相环、输出缓冲器。芯片功能框图如下图：



MS5351M 主要由以下模块组成：晶体振荡器，小数分频锁相环 PLL1 和 PLL2，小数分频器 DIV0、DIV1 和 DIV2，输出级 OUT0、OUT1 和 OUT2 以及 I²C 控制器。晶体振荡器作为输入级，可接收外部 25MHz 到 27MHz 石英晶体信号，并将其放大到逻辑电平，给小数分频锁相环提供参考时钟。小数分频锁相环把参考时钟倍频到高频，再由高精度小数分频器产生所需时钟。输出级除了提供可配置的输出驱动能力外，还提供额外的整数分频（整数分频比也可配置），可使最终输出频率降低到 2.5kHz。另外，芯片从小数分频器的输入到输出采用了交叉开关的方式，使得任意端口的输出都可选择 PLL1 或 PLL2 作为时钟源。

2.1 输入级

MS5351M 的输入级使用固定频率（25MHz-27MHz）、AT 截面的石英晶体作为晶体振荡器的时钟源。它的输出为两个锁相环提供参考，产生异步时钟。当把石英晶体连接到 MS5351M 的 XA/XB 端时，由于芯片内部提供了可配置大小的负载电容，这就省去了外部负载电容的使用。内部总的 XTAL 负载电容可选择 0,6,8,10pF。当然，也可选择使用不超过 6pF 的外部负载电容，这时 XA 和 XB 每一端电容应不大于 12pF。



2.2 频率综合器

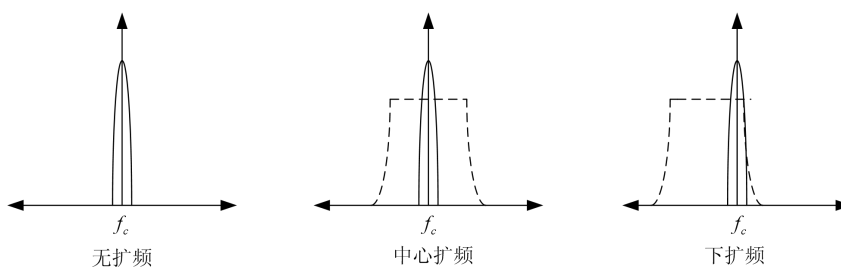
MS5351M 的频率综合器采用小数分频锁相环+小数分频器的架构，产生最终的输出时钟。锁相环把低频参考时钟倍频到高频，再由高精度小数分频器产生需要的时钟。只允许同时输出两个大于 112.5MHz 的不同时钟，但大于 112.5MHz 且相同的时钟可以同时 3 个通道输出，也可以在输出两个相同且大于 112MHz 的时钟的同时输出另一个大于 112.5MHz 的不同时钟。

2.3 输出级

MS5351M 在小数分频器之后，还提供了额外的 2^N (N 是 0 到 7 的整数) 分频，这使得 MS5351M 可使输出低至 2.5kHz 的时钟。3 个输出级均可产生 CMOS 电平输出，并且共用一个单独的 VDDO 供电，可接受 VDDO 电压为 1.8V, 2.5V, 3.3V。

2.4 扩频

扩频功能使能时，只能选择 PLL1 作为小数分频器的参考时钟源。扩频技术对降低电磁干扰十分有效，它使用调制信号去调制输出时钟，这就使原本集中在某一频点的信号强度降低并平均分配到一定的频谱范围内。MS5351M 提供下扩频和中心扩频两种方式、多种扩频级别，以兼顾系统性能和抗电磁干扰能力。



2.5 I²C 接口

MS5351M 的许多功能是通过 I²C 读写寄存器完成的。

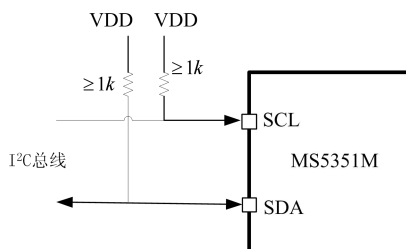
读状态指示寄存器

- PLL1 或 PLL2 失锁，LOL_1 或 LOL_2, REG0[6:5]

写寄存器

- 配置小数分频锁相环倍频值和小数分频器分频比
- 配置扩频模式和扩频范围
- 配置输出时钟选择 PLL1 还是 PLL2
- 设置输出选项：比如使能或关断任意输出、使输出取反或不取反、输出级分频比、输出相位偏移量、输出关断时的状态

I²C 总线由双向串行数据线 SDA 和串行时钟线 SCL 组成，如下图所示。SDA 和 SCL 管脚必须连接遵守 I²C 规范的上拉电阻。

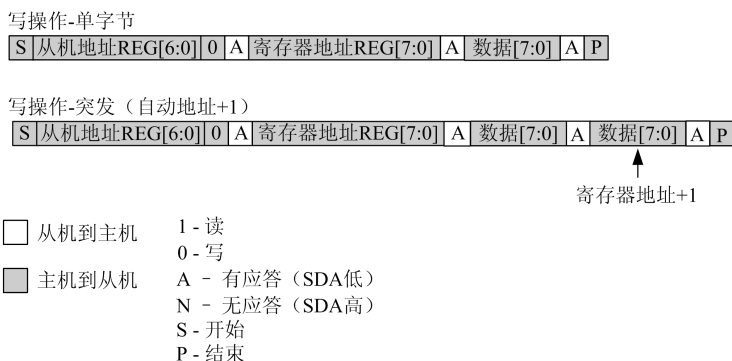


I²C 接口工作在从机模式，拥有 7 位固定地址，如下图。可以工作在标准模式（100kbps）或快速模式（400kbps），支持突发数据传输。

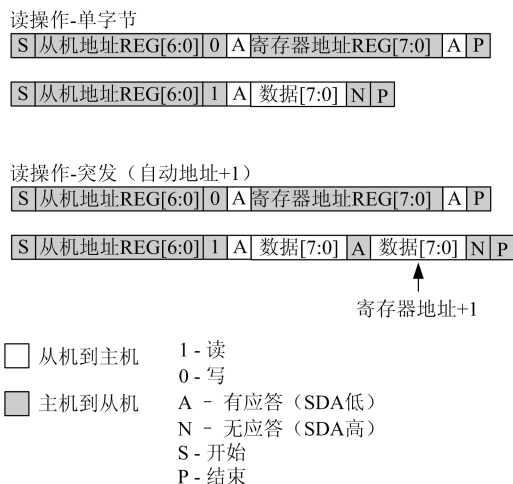
	6	5	4	3	2	1	0
从机地址	1	1	0	0	0	0	0

数据先从 8bit 的最高位传输。一个写命令由 7 个从机地址位，1 个写操作位，8 个寄存器地址位和

8 个数据位组成。一个突发写操作也显示在下图，图中每个增加的数据字都通过自动寄存器地址+1 的方式被写入。



读操作分两个阶段进行，首先写入寄存器地址，然后再读相应地址寄存器的数据。突发写操作也表示在下图。



I²C 接口的 DC 和 AC 规范如表格所示。时序规范遵守 I²C 总线标准。

2.6 设计考虑

MS5351M 需要较少外部器件，下列建议可以优化性能。

2.6.1 去耦电容

MS5351M 内嵌电源去耦电路。内部广泛使用低压差输出（LDO）电路来减少外部旁路器件的使用。外部只需要在每个电源脚使用 0.1-1uF 去耦电容，该电容尽可能靠近 VDD 和 VDDO。

2.6.2 上电顺序

内部核心电路和输出级分别采用 VDD 和 VDDO 分开供电，要求 VDDO 上电时间不晚于 VDD。

2.6.3 外部石英晶体

外部石英晶体尽可能靠近 XA/XB 放置以缩短 PCB 走线长度。还应该注意这两个管脚应该远离其它高速信号走线。

2.6.4 外部石英晶体负载电容

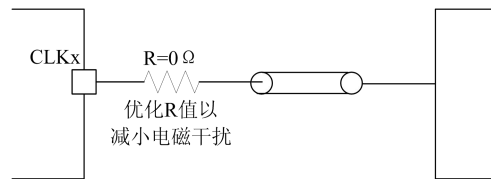
在 XA 和 XB 管脚可以使用内部负载电容，当内部负载电容不够时，可外接负载电容。一旦用到外部负载电容，它们应尽可能靠近 XA/XB 放置。

2.6.5 没有用到的管脚

没有用到的输出管脚 CLK_n (n=0,1,2) 应该悬空

2.6.6 布线

MS5351M 提供多种电流驱动能力。当使用默认的最大驱动能力时，推荐使用下图的布线以优化电磁干扰性能。



频率规划

MS5351M 包含两个小数分频锁相环 PLL1 和 PLL2。每个锁相环都由环路内部分频器 PLL1_DIV 和 PLL2_DIV 分别把低频参考时钟倍频到 600MHz~900MHz 的 VCO 频率。每个 VCO 又都可以分别被环路外部小数分频器 DIVn(n=0,1,2)分频以产生 320kHz~200MHz 的时钟。而且，输出级分频器 OUTn(n=0,1,2)进一步使输出时钟频率降低至 2.5kHz。输出时钟与 VCO 时钟的关系如下：

$$CLK_n = \frac{VCO_n}{DIV_n_DivideRatio \times OUT_n}$$

上式中 $DIV_n_DivideRatio$ 代表锁相环外部分频器的小数分频比， OUT_n 代表输出级的整数分频比， $n=0,1,2$ 。

3.1 PLL 选择

如果扩频功能关闭，那么 PLL1 和 PLL2 都可以作为输出的时钟源。如果扩频开启，那么它只能用于 PLL1。

3.2 选择合适的 VCO 频率和分频比

1) 以参考时钟 25MHz 为例，锁相环内部分频器 PLL_DIV 的分频比只能设置为 24+1/1048575 到 36+0/1048575 之间的值。这项设置确保 VCO 工作在正常的频率范围。

2) 环路外部小数分频器 DIVn(n=0,1,2)有效的分频比只能为整数 4,6,8 或 8+1/1048575 到 1800+0/1048575 之间的值。

3) 对输出时钟抖动要求较高的应用，建议设置环路外部分频器 DIVn(n=0,1,2)为整数。如果可能，可以把环路内部和外部分频比都设置为整数。

4) 如果有可能，把环路外部的小数分频器 DIVn(n=0,1,2)设置尽可能多的整数分频比。

3.3 倍频级——锁相环内部倍频（分频）公式

该级输出频率为：

$$VCO_n = XO \times PLL_n_DivideRatio,$$

分频值为：

$$PLL_n_DivideRatio = 4 + \frac{PLL_n_P1[17:0] + \frac{PLL_n_P2[19:0]}{PLL_n_P3[19:0]}}{128},$$

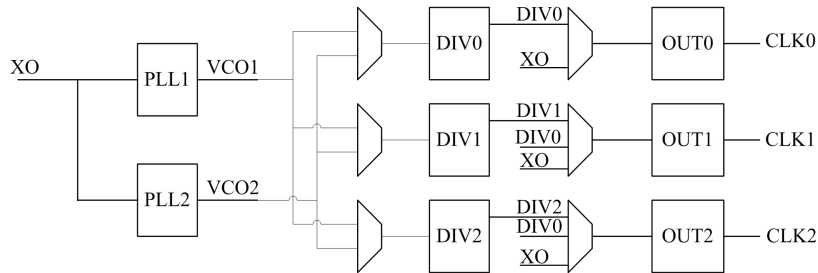
上式中 $n=1, 2$ 。XO 代表晶体振荡器的输出频率。

如果 $PLL_n_DivideRatio$ 是偶数，可以分别设置寄存器 PLL1_INT 和 PLL2_INT。

大多情况下，当分频比 $PLL_n_DivideRatio$ 为偶数时，设置寄存器 PLL1_INT 和 PLL2_INT 可以明显改善抖动性能。扩频开启时，寄存器 PLL1_INT 须设置为 0。

3.4 配置输出

下图是时钟输出与所选时钟源的路径，小数分频器 DIV0~DIV2 的输出分别对应着 DIV0~DIV2。



3.5 分频级——锁相环外部小数分频公式

DIVn(n=0,1,2)可以通过设置寄存器 DIVn_SRC(n=0,1,2)为 0 或 1 来分别选择 PLL1 或 PLL2。

有两种情形：

1) 当输出频率小于等于 150MHz 时，该级输出频率为：

$$DIVn = \frac{VCOx}{DIVn_DivideRatio}$$

分频比为：

$$DIVn_DivideRatio = 4 + \frac{DIVn_P1[17:0] + \frac{DIVn_P2[19:0]}{DIVn_P3[19:0]}}{128}$$

VCOx(x=1,2)。上式中 $DIVn_DivideRatio$ 只能取整数 4,6,8 或者 8+1/1048575 到 1800+0/1048575

之间的值， $DIVn_DivideRatio$ 中的 n=0,1,2。如果该级分频比为偶数，可以通过设置寄存器

DIVn(n=0,1,2)_INT 对应位等于 1。大多数情况设当分频比 $DIVn_DivideRatio$ 为偶数时，设置寄存器 DIVn_INT(n=0,1,2)对应位为 1 都能显著改善抖动性能。

2) 当输出频率大于 150MHz 时，必须设置该级分频比为 4，寄存器须按照如下设置：

DIVn(n=0,1,2)_P1=0,
 DIVn(n=0,1,2)_P2=0,
 DIVn(n=0,1,2)_P3=1,
 DIVn(n=0,1,2)_INT=1,
 DIVn(n=0,1,2)_DIVBY4[1:0]=11b

最终输出时钟为： $f_{outn} = \frac{VCO_n}{4}$

3.6 输出级设置

锁相环路外部的小数分频比设定后，输出级可以根据想要得到的时钟来设置。

3.6.1 为输出级选择时钟源

输出级时钟源选择的寄存器是 CLK_n_SRC(n=0,1,2)。

CLK0 既可以选择晶振的输出 XO，也可以选择 DIV0 的输出作为该级时钟源。CLK1 可以选择 XO，DIV1 和 DIV0。CLK2 可以选择 XO，DIV2 和 DIV0。

3.6.2 输出级整数分频比设置

当需要的频率小于 320kHz 时，可以设置输出级分频寄存器 $OUTn_DIV(n=0,1,2)$ ，产生 2^N （N 是从 0 到 7 的整数）分频，使最终输出频率低至 2.5kHz

3.6.3 输出取反寄存器 $CLKn_INV(n=0,1,2)$

某些应用中需要产生与另一个时钟相位相反的时钟，这时可以设置寄存器 $CLKn_INV=1$

3.6.4 输出级关闭的状态寄存器

当某一个输出被关闭，这时需要设置该输出的状态，可配置为低，高，高阻三种状态输出。详见寄存器 $CLKn_DIS_STATE(n=0,1,2)$ 。

3.6.5 没有用到的输出端口

任何一个没被用到的输出端口都可以被关闭以降低功耗。设置寄存器 $CLKn_PDN=1$ 可关闭。

3.7 配置扩频寄存器参数

扩频使能寄存器 SSC_EN 控制着扩频功能的开启与关闭， $SSC_EN=1$ 开启扩频功能。

每个选择 PLL1 作为时钟源的输出都可以开启扩频功能。MS5351M 提供向下扩频和中心扩频供选择。向下扩频范围是 -0.1%~-2.5%，中心扩频范围是 -1.5%~+1.5%。扩频调制率限制在 31.5kHz 左右。配置扩频之前下面的参数必须了解：

■XO —— 锁相环 PLL1 的参考时钟

■PLL1_DivideRatio —— 锁相环 PLL1 的分频比

■sscAMP —— 扩频幅度（例如：下扩频和中心扩频幅度 1%，则 $sscAMP=0.01$ ）

注意：寄存器 $PLL1_INT$ 必须设置为小数分频模式。

使用下面的公式配置需要的扩频范围

3.7.1 向下扩频

需要写 4 个寄存器参数： $SSUDP[11:0]$ ， $SSDN_P1[11:0]$ ， $SSDN_P2[14:0]$ ， $SSDN_P3[14:0]$

UP/DN 参数

$$SSUDP[11:0] = \text{Floor}\left(\frac{XO}{4 \times 31500}\right)$$

中间变量（无寄存器要写）：

$$SSDN = 64 \times PLL1_DivideRatio \times \frac{sscAMP}{(1 + sscAMP) \times SSUDP}$$

向下扩频参数：

$$SSDN_P1[11:0] = \text{Floor}[SSDN]$$

$$SSDN_P2[14:0] = 32767 \times [SSDN - SS DN_P1]$$

$$SSDN_P3[14:0] = 32767 = 0x7FFF$$

向上扩频参数:

$$SSUP_P1 = 0$$

$$SSUP_P2 = 0$$

$$SSUP_P3 = 1$$

3.7.2 中心扩频

需要写 7 个参数: SSUDP[11:0],

SSDN_P1[11:0],SSDN_P2[14:0],SSDN_P3[14:0],

SSUP_P1[11:0],SSUP_P2[14:0],SSUP_P3[14:0].

UP/DN 参数:

$$SSUDP[11:0] = \text{Floor}\left(\frac{XO}{4 \times 31500}\right)$$

中间变量 (无寄存器要写):

$$SSUP = 128 \times PLL1_DivideRatio \times \frac{sscAMP}{(1 - sscAMP) \times SSUDP}$$

$$SSDN = 128 \times PLL1_DivideRatio \times \frac{sscAMP}{(1 + sscAMP) \times SSUDP}$$

上扩频参数:

$$SSUP_P1[11:0] = \text{Floor}[SSUP]$$

$$SSUP_P2[14:0] = 32767 \times [SSUP - SSUP_P1]$$

$$SSUP_P3[14:0] = 32767 = 0x7FFF$$

向下扩频参数:

$$SSDN_P1[11:0] = \text{Floor}[SSDN]$$

$$SSDN_P2[14:0] = 32767 \times [SSDN - SSDN_P1]$$

$$SSDN_P3[14:0] = 32767 = 0x7FFF$$

3.8 配置输出时钟的初始相位

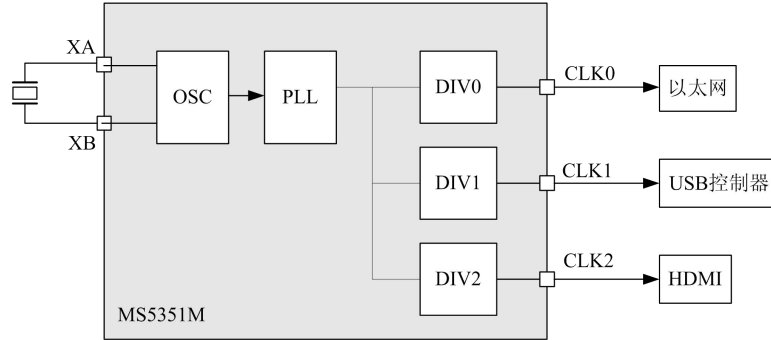
每个输出时钟的初始相位都可以由寄存器 CLK_n_PHOFF[6:0](n=0,1,2)设置。相位偏移参数是无符号位的整数, CLK_n_PHOFF[6:0]每改变 1, 即 1LSB, 对应着输出时钟延时改变 1/4 个 VCO 周期。使用下面的公式, 并根据需要的初始相位偏移确定寄存器值。

$$CLK_n_PHOFF[6:0] = \text{Round}(\text{Offset} \times 4 \times VCO)$$

典型应用图

4.1 代替石英晶体、晶体振荡器和锁相环

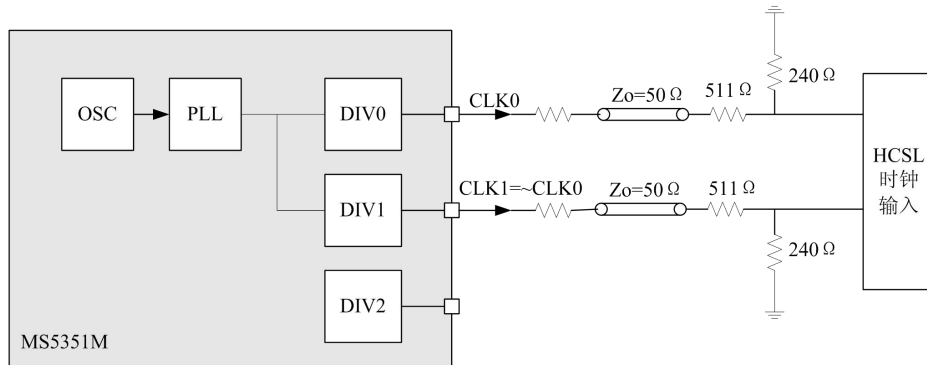
MS5351M 作为一款通用时钟发生器芯片，它的应用十分广泛。外部使用廉价的石英晶体就可以产生 3 个独立的时钟，如下图：



XA 端也可以接受 CMOS 时钟，这时 XB 应该悬空。

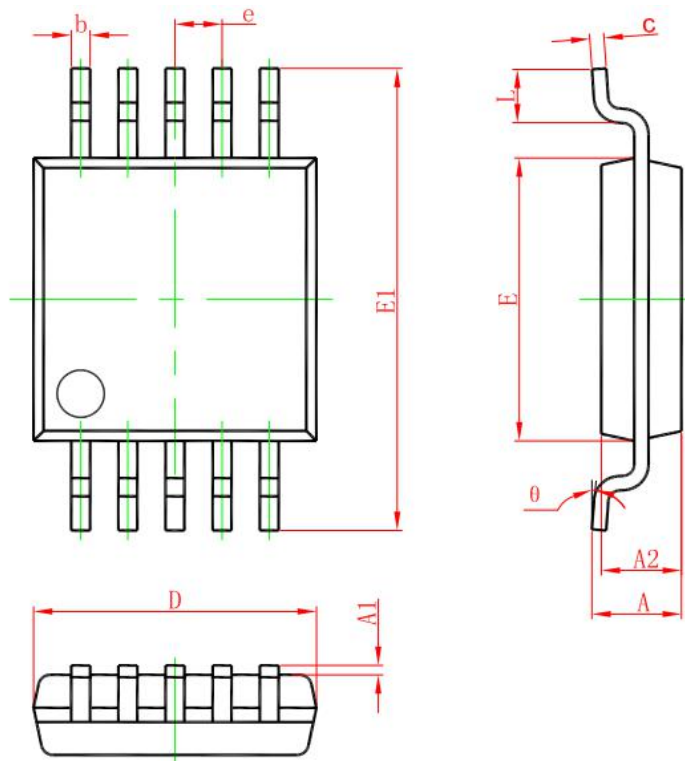
4.2 兼容 HCSL 的输出

当输出级供电电压 VDDO 采用 2.5V 时，MS5351M 可配置兼容 HCSL 摆幅。下图是 HCSL 应用场景，由于 HCSL 只接收差分信号，这时有一个输出必须取反，设置寄存器 $CLKn_INV(n=0,1,2)$ 即可。



封装外形图

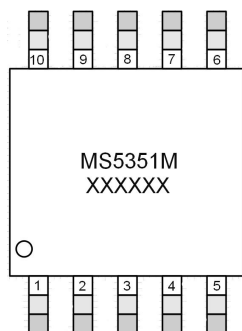
MSOP10



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	0.820	1.100	0.032	0.043
A1	0.020	0.150	0.001	0.006
A2	0.750	0.950	0.030	0.037
b	0.180	0.280	0.007	0.011
c	0.090	0.230	0.004	0.009
D	2.900	3.100	0.114	0.122
e	0.50(BSC)		0.020(BSC)	
E	2.900	3.100	0.114	0.122
E1	4.750	5.050	0.187	0.199
L	0.400	0.800	0.016	0.031
theta	0°	6°	0°	6°

印章与包装规范

一、印章内容介绍



MS5351M: 产品型号

XXXXXX: 生产批号

二、印章规范要求

采用激光打印，整体居中且采用 Arial 字体。

三、包装说明：

型号	封装形式	只/卷	卷/盒	只/盒	盒/箱	只/箱
MS5351M	MSOP10	3000	1	3000	8	24000



MOS电路操作注意事项:

静电在很多地方都会产生, 采取下面的预防措施, 可以有效防止MOS电路由于受静电放电的影响而引起的损坏:

- 1、操作人员要通过防静电腕带接地。
- 2、设备外壳必须接地。
- 3、装配过程中使用的工具必须接地。
- 4、必须采用导体包装或抗静电材料包装或运输。



+86-571-89966911



杭州市滨江区伟业路1号
高新软件园9号楼701室



<http://www.relmon.com>